

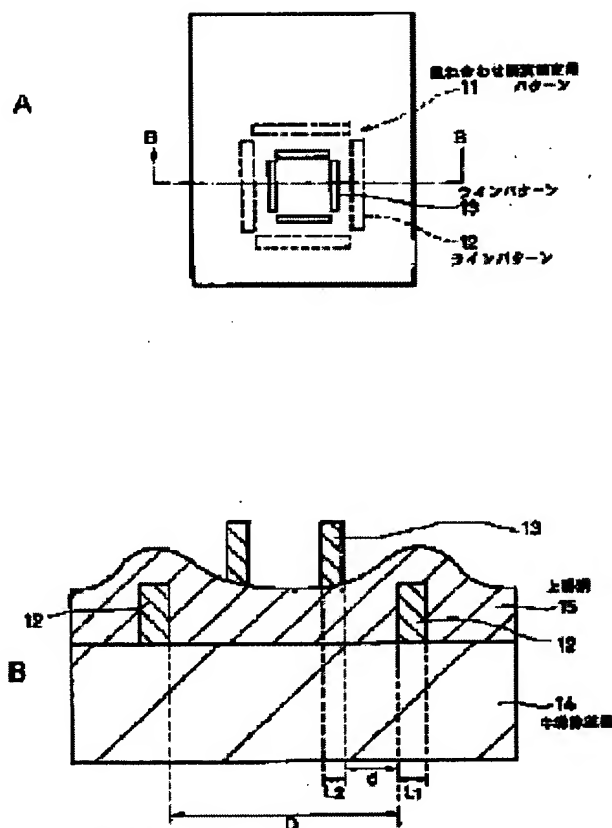
PATTERN FOR MEASURING PRECISION IN OVERLAPPING

Patent number: JP2000133572
Publication date: 2000-05-12
Inventor: KUSANO YASUSHI
Applicant: SONY CORP
Classification:
 - international: H01L21/027; G03F9/00; H01L21/66
 - european:
Application number: JP19980305223 19981027
Priority number(s): JP19980305223 19981027

Report a data error here

Abstract of JP2000133572

PROBLEM TO BE SOLVED: To provide a pattern for measuring precision in overlapping for realizing the high precision of the measurement of overlapping precision, and for improving the manufacturing yield of a semiconductor device. **SOLUTION:** A pattern 11 for measuring precision in overlapping is constituted of four line patterns 12 provided along each side of a square. The four line patterns 12 are separated from each other at the parts of the vertexes of the square. Line patterns 13 constituted of a photoresist similar to the pattern 11 for measuring overlapping precision are formed on an upper layer film 15 provided on a semiconductor substrate 14, so that the line patterns 12 can be covered. Thus, the measurement of overlapping precision can be made through image processing by a CCD image pickup element with the use of the line patterns 12 and 13.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-133572

(P2000-133572A)

(43)公開日 平成12年5月12日(2000.5.12)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 0 1 L 21/027		H 0 1 L 21/30	5 0 2 M 4 M 1 0 6
G 0 3 F 9/00		G 0 3 F 9/00	H 5 F 0 4 6
H 0 1 L 21/66		H 0 1 L 21/66	J
			Y
		21/30	5 2 2 B
審査請求 未請求 請求項の数 5 O L (全 9 頁) 最終頁に続く			

(21)出願番号 特願平10-305223

(22)出願日 平成10年10月27日(1998. 10. 27)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 草野 恭

長崎県諫早市津久葉町1883番43 ソニー長

崎株式会社内

(74)代理人 100082762

弁理士 杉浦 正知

Fターム(参考) 4M106 AA09 CA39 DB04 DB08 DB21

DB30

5F046 BA04 EA03 EA09 EA11 EB01

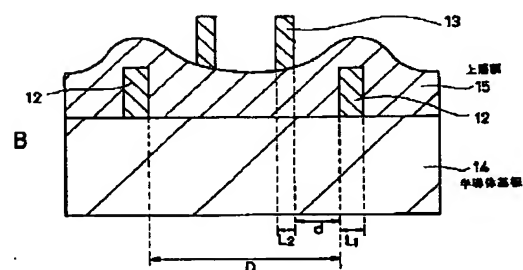
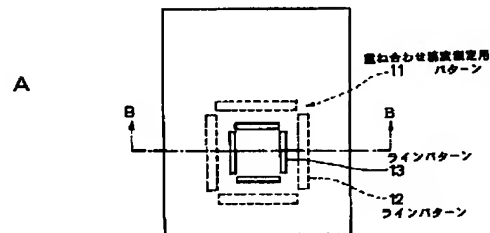
EB02 ED01 FA05 FA10

(54)【発明の名称】 重ね合わせ精度測定用パターン

(57)【要約】

【課題】 重ね合わせ精度の測定を高精度化し、半導体装置の製造歩留まりを向上させる重ね合わせ精度測定用パターンを提供する。

【解決手段】 重ね合わせ精度測定用パターン11を、正方形の各辺に沿って設けた4つのラインパターン12から構成する。4つのラインパターン12を正方形の頂点の部分で互いに分離する。ラインパターン12を覆うようにして半導体基板14上に設けた上層膜15上に、重ね合わせ精度測定用パターン11と相似のフォトレジストからなる、ラインパターン13を形成する。ラインパターン12、13を用い、CCD撮像素子による画像処理により重ね合わせ精度の測定を行う。



1

【特許請求の範囲】

【請求項1】 基板上に設けられた第1のパターンからなり、

上記第1のパターン上に膜を介して第2のパターンが形成され、

上記第1のパターンと上記第2のパターンとを用いて重ね合わせ精度を測定するための重ね合わせ精度測定用パターンであって、

上記第1のパターンが、上記膜のカバレッジが上記第1のパターンの中心に対してほぼ対称となるパターン形状を有することを特徴とする重ね合わせ精度測定用パターン。

【請求項2】 上記第1のパターンが、4角形の各辺に沿って設けられたラインパターンから構成されており、上記ラインパターンの長手方向に垂直な方向の幅が0.5 μm 以上2 μm 以下であることを特徴とする請求項1記載の重ね合わせ精度測定用パターン。

【請求項3】 上記4角形が正方形であることを特徴とする請求項2記載の重ね合わせ精度測定用パターン。

【請求項4】 上記ラインパターンのうちの互いに平行な2つのラインパターンの間隔が、3 μm 以上10 μm 以下であることを特徴とする請求項3記載の重ね合わせ精度測定用パターン。

【請求項5】 上記第1のパターンの形状と上記第2のパターンの形状とが互いに相似であることを特徴とする請求項1記載の重ね合わせ精度測定用パターン。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、重ね合わせ精度測定用パターンに関し、特に、半導体ウェーハ上に形成されるレジストパターンの重ね合わせ精度の測定に適用して好適なものである。

【0002】

【従来の技術】LSIの集積度が進むとともに、そのデザインルールは小さくなってきている。そして、このようなデザインルールの縮小化に伴い、レジストパターンの微細化が求められているとともに、重ね合わせ精度の高精度化も要求されている。

【0003】このような重ね合わせ精度の高精度化の要求に対応して、半導体ウェーハ上に塗布されたフォトリソを高精度に重ね合わせ露光を行うために、種々の重ね合わせ精度測定方式が考案されている。

【0004】従来のレジストパターンの形成後の重ね合わせ精度の測定においては、ステッパの露光ショット内に配置された重ね合わせ精度を測定するための専用のパターン（重ね合わせ精度測定用パターン）を、重ね合わせ精度測定機を用いて、半導体ウェーハ内の任意のショットで測定していた。

【0005】また、重ね合わせ精度測定用パターンは、各工程ごとに複数横一列に並べられており、これにより

2

重ね合わせ精度を測定するためのアライメント確認マークが構成されている。

【0006】ここで、レチクルに設けられた従来のアライメント確認用マークについて、以下に具体的に説明する。

【0007】すなわち、図7に示すように、レチクル101内の5箇所に、従来のアライメント確認用マーク102a～102eが設けられている。これらの5つのアライメント確認用マーク102a～102eのうち、レチクル101の4隅にそれぞれ4つのアライメント確認用マーク102a～102dが設けられている。これらのアライメント確認用マーク102a～102dは、それらの長手方向がレチクル101のそれぞれの辺に沿って設けられている。

【0008】また、残りの1つのアライメント確認用マーク102eはレチクル101の中央の周辺の部分に設けられている。このアライメント確認用マーク102eは、その長手方向が、互いに対角に設けられた2つのアライメント確認用マーク102a、102cの長手方向に対して平行になるように設けられているとともに、他の互いに対角に設けられた2つのアライメント確認用マーク102b、102dの長手方向に対して垂直になるように設けられている。

【0009】上述のアライメント確認用マーク102a～102eは、図8に示すように、それぞれ正方形のボックスマーク103から構成される重ね合わせ精度測定用パターン104を各工程ごとに複数横一列（アライメント確認用マークの長手方向）に並べて構成されている。

【0010】次に、半導体ウェーハ上に設けられた従来の重ね合わせ精度測定用パターンについて説明する。重ね合わせ精度測定用パターンから構成されるアライメント確認用マークは半導体ウェーハ上にも設けられている。半導体ウェーハ上に設けられた重ね合わせ精度測定用パターンの平面図を図9Aに示し、そのB-B線上に沿った断面図を図9Bに示す。

【0011】図9Aに示すように、半導体ウェーハ上の重ね合わせ精度測定用パターン105は、上述のレチクル101上の重ね合わせ精度測定用パターン103と相似のボックスマーク106から構成されている。符号107は、上述のレチクル101を用いたリソグラフィ工程により形成されたフォトリソからなるボックスマークを示す。

【0012】また、図9Bに示すように、ボックスマーク106は、半導体ウェーハ108上のA1膜109から構成されている。また、このA1膜109を覆うようにして層間絶縁膜などの上層膜110が設けられている。上層膜110上にはフォトリソ111がボックスマーク107の形状にパターンニングされて形成されている。そして、重ね合わせ精度の測定は、図9B中の

3

x_1 、 x_2 を検出し、それらの差を算出することによって行う。また、ボックスマーク106の一边の長さ l_1 、およびボックスマーク107の一边の長さ l_2 はそれぞれ数〜数 $10\mu\text{m}$ である。

【0013】また、図9Aに示す重ね合わせ精度測定用パターン105に対応するものとしては、図9Bに示すもの以外に、図10に示すように、A1膜109のパターンをボックスパターン106に対応するパターン形状の部分を除いたパターン（以下、抜きパターン）とし、フォトレジスト111のパターンをボックスマーク107に対応するパターン形状の部分を残したパターン（以下、残しパターン）とするものもある。

【0014】また、図11に示すように、A1膜109のパターンをボックスパターン106の形状の残しパターンとし、フォトレジスト111のパターンをボックスパターン107の形状の抜きパターンとするものや、図12に示すように、A1膜109のパターンをボックスパターン106の形状の抜きパターンとし、フォトレジスト111のパターンをボックスパターン106の形状の抜きパターンとするものもある。

【0015】このように、従来の重ね合わせ精度測定用パターンは、正方形の残しパターンや正方形の抜きパターンからなるボックスマークで構成され、必要に応じてそれぞれのボックスマークを組み合わせて、重ね合わせ精度の測定に使用していた。

【0016】

【発明が解決しようとする課題】しかしながら、LSIパターンの微細化が進むにつれ、上述のボックスマークからなる重ね合わせ精度測定用パターンを用いた場合の重ね合わせ精度の測定誤差が、半導体装置の製造における歩留まりに与える影響を無視することができなくなってきた。そのため、下層の重ね合わせ精度測定用パターンと上層のレジストパターンとの間の重ね合わせ精度の測定誤差を小さくし、高精度化することができる、重ね合わせ精度測定用パターンの開発が望まれていた。

【0017】したがって、この発明の目的は、重ね合わせ精度の測定を高精度化することができ、上層膜上にパターンを高精度に重ね合わせることができ、半導体装置の製造歩留まりの向上を図ることができる重ね合わせ精度測定用パターンを提供することにある。

【0018】

【課題を解決するための手段】本発明者は、従来技術が有する上述の課題を解決すべく、鋭意検討を行った。以下にその概要を説明する。

【0019】本発明者の知見によれば、重ね合わせ精度の測定における誤差の発生原因の一つは、重ね合わせ精度測定用パターンが実際のLSIパターンと同一の傾向をもって形成されないことである。そして、この要因として、半導体ウェーハ上の重ね合わせ精度測定用パターンを覆うようにして形成される上層膜のカバレッジが、

4

その重ね合わせ精度測定用パターンの中心に対して非対称になることが挙げられる。

【0020】このように、上層膜のカバレッジが、その重ね合わせ精度測定用パターンの中心に対して非対称になってしまうと、重ね合わせ精度測定用パターンの認識の際に、CCD (Charge Coupled Device) 撮像素子を用いて測定を行った場合には、その測定誤差が大きくなってしまふ。また、レーザー光を用いて測定を行った場合には、上層膜からの反射光が非対称になってしまい、結果的に重ね合わせ精度の測定ずれが発生し、やはり測定誤差が大きくなってしまふ。

【0021】したがって、重ね合わせ精度の測定ずれを小さくするためには、半導体ウェーハ上の重ね合わせ精度測定用パターンの形状を、その上層に形成される上層膜のカバレッジが重ね合わせ精度測定用パターンの中心に対して対称になるようなパターン形状とするのが有効である。

【0022】また、本発明者は、上層膜のカバレッジが重ね合わせ精度測定用パターンの中心に対して対称になるようなパターンについてさらに鋭意検討を重ねた結果、従来のボックスマークからなる重ね合わせ精度測定用パターンでは、その上層に形成される上層膜が、大面積の領域を覆い、あるいは埋め込む必要があるために、その中心に対するカバレッジが非対称になってしまうことを想起するに至り、上層膜のカバレッジの対称性の向上のためには、上層膜が覆ったり埋め込んだりする面積を小さくするのが望ましいことを知見するに至った。そして、そのためには、重ね合わせ精度測定用パターンを、上層膜が覆ったり埋め込んだりする部分の面積を従来のボックスマークにおけるより小さくし、実際のLSIパターンに近い線状のパターン（ラインパターン）から構成するとともに、そのラインパターンを重ね合わせ精度測定用パターンの中心に対して対称になるように配置するのが好ましい。この発明は、以上の検討に基づいて案出されたものである。

【0023】すなわち、上記目的を達成するために、この発明は、基板上に設けられた第1のパターンからなり、第1のパターン上に膜を介して第2のパターンが形成され、第1のパターンと第2のパターンとを用いて重ね合わせ精度を測定するための重ね合わせ精度測定用パターンであって、第1のパターンが、膜のカバレッジが第1のパターンの中心に対してほぼ対称となるパターン形状を有することを特徴とするものである。

【0024】この発明において、第1のパターン上の膜が覆う面積を小さくするために、あるいは、第1のパターン上の膜が埋め込む面積を小さくするために、典型的には、第1のパターンは、4角形の各辺に沿って設けられたラインパターンから構成されており、ラインパターンの長手方向に垂直な方向の幅が $0.5\mu\text{m}$ 以上 $2\mu\text{m}$ 以下である。また、この発明において、第1のパターン

5

上の膜のカバレッジの均一性を向上させるために、好適には、4角形は正方形であり、ラインパターンのうちの互いに平行な2つのラインパターンの間隔は $3\mu\text{m}$ 以上 $10\mu\text{m}$ 以下である。

【0025】この発明において、典型的には、第1のパターンの形状と第2のパターンの形状とは互いに相似である。

【0026】上述のように構成されたこの発明によれば、第1のパターンからなる重ね合わせ精度測定用パターンのパターン形状を、第1のパターン上に形成される膜が重ね合わせ精度測定用パターンの中央に対してほぼ対称になるような形状にしていることにより、第1のパターン上の膜に光を照射した場合に、その反射光を重ね合わせ精度測定用パターンの中心に対してほぼ対称にすることができる。

【0027】

【発明の実施の形態】以下、この発明の一実施形態について図面を参照しながら説明する。

【0028】まず、この発明の一実施形態によるレチクル上の重ね合わせ精度測定用パターンについて説明する。図1はこの一実施形態によるレチクルを示す。

【0029】図1に示すように、この一実施形態においては、レチクル1内の5箇所に、アライメント確認用マーク2a~2eが設けられている。これらの5つのアライメント確認用マーク2a~2eのうち、レチクル1の4隅にそれぞれ4つのアライメント確認用マーク2a~2dが設けられている。これらのアライメント確認用マーク2a~2dは、それらの長手方向がレチクル1の各辺に沿って設けられている。

【0030】また、残りの1つのアライメント確認用マーク2eはレチクル1の中央の周辺の部分に設けられている。このアライメント確認用マーク2eは、その長手方向が、互いに対角に設けられた2つのアライメント確認用マーク2a、2cの長手方向に対して平行になるように設けられているとともに、他の互いに対角に設けられた2つのアライメント確認用マーク2b、2dの長手方向に対して垂直になるように設けられている。

【0031】上述のアライメント確認用マーク2a~2eは、図2に示すように、それぞれ同形の重ね合わせ精度測定用パターン3を各工程ごとに、複数横一列（アライメント確認用マークの長手方向）に並べて構成されている。

【0032】重ね合わせ精度測定用パターン3は、例えば4つのラインパターン4から構成されている。ラインパターン4はそれぞれ細長い長方形の形状をしており、例えば正方形などの4角形の各辺に沿って配置され、その4角形の頂点の部分で互いに分離されている。

【0033】以上のように、レチクル1には、所定位置に複数の重ね合わせ精度測定用パターン3からなるアライメント確認用マーク2a~2eが設けられている。そ

6

して、このレチクル1を用いたリソグラフィ工程により半導体基板（図2中、図示せず）上にレジストパターンを形成する際に、他の素子パターンの形成と同時に重ね合わせ精度測定用パターン3が形成される。

【0034】次に、この発明の一実施形態による半導体基板上の重ね合わせ精度測定用パターンについて説明する。

【0035】すなわち、レジストパターンなどが形成される半導体基板上において、上述のレチクル1上のアライメント確認用マーク2a~2eに対応した位置に重ね合わせ精度測定用パターンが設けられている。図3Aは、この一実施形態による半導体基板上の重ね合わせ精度測定用パターンの平面図を示し、図3Bは、図3AのB-B線に沿った断面図を示す。

【0036】図3Aに示すように、半導体基板上の重ね合わせ精度測定用パターン11は、上述のレチクル1に設けられた重ね合わせ精度測定用パターン3と相似のパターンである。すなわち、半導体基板上の重ね合わせ精度測定用パターン11は、4つのラインパターン12から構成されており、これらのラインパターン12は、例えば正方形などの4角形の各辺に沿って設けられ、正方形の頂点の部分で互いに分離されている。また、符号13は、リソグラフィ工程で形成されたフォトレジストからなるラインパターンを示す。

【0037】また、図3Bに示すように、ラインパターン12は、素子分離領域や能動素子などが形成された半導体基板14上に、例えばアルミニウム（Al）膜や複数の膜を積層した積層膜などの膜をライン形状にパターンニングしたものである。また、半導体基板14上にはラインパターン12を覆うようにして、例えば酸化シリコン（ SiO_2 ）膜の上層膜15が設けられている。そして、上層膜15のカバレッジが重ね合わせ精度測定用パターン11の中心に対して対称に形成されている。また、上層膜15上には、フォトレジストからなるラインパターン13が形成されている。なお、このラインパターン13の形成の際のリソグラフィ工程においては、上述の重ね合わせ精度測定用パターンとは異なるアライメントマーク（図示せず）を用いて重ね合わせが行われる。ここで、ラインパターン12の幅 L_1 およびラインパターン13の幅 L_2 は、それぞれ $0.5\sim 2.0\mu\text{m}$ から選ばれ、この一実施形態においては、幅 L_1 を例えば $1.0\mu\text{m}$ とし、幅 L_2 を例えば $0.5\mu\text{m}$ とする。また、ラインパターン12とラインパターン13との水平方向の間隔 d は、例えば $2\mu\text{m}$ である。また、互いに平行な2つのラインパターン12の間隔 D は $3\sim 10\mu\text{m}$ の範囲内に選ばれ、この一実施形態においては、例えば $5\mu\text{m}$ 程度に選ばれる。

【0038】以上のように、半導体基板14上に重ね合わせ精度測定用パターン11が設けられ、その上方に上層膜15を介してラインパターン13が形成されてい

7

る。

【0039】フォトリソの重ね合わせ精度の測定は、重ね合わせ精度測定用パターン11を用い、半導体基板14内の任意のショットで、例えばCCD撮像素子を用いた専用の重ね合わせ精度測定機（図示せず）による画像処理によって行う。なお、この発明においては、重ね合わせ精度測定機として、CCD撮像素子を用いたもの以外にも、例えばHe-Neレーザ、He-Cdレーザ、Arレーザなどのレーザを用いたものを使用することも可能である。

【0040】以上説明したように、この一実施形態によれば、半導体基板14上に、約1 μ mの幅のラインパターン12から構成される重ね合わせ精度測定用パターン11を設けるようにしていることにより、従来のボックスパターンなどからなる重ね合わせ精度測定用パターンと比較して、上層膜15の覆う部分の面積を大幅に小さくすることができ、実際のLSIパターンに近いものにすることができる。そのため、上層膜15のカバレッジを、重ね合わせ精度測定用パターン11の中心に対して対称にすることができるので、上層膜15を重ね合わせ精度測定用パターン11の中心に対して対称に形成することができ、重ね合わせ精度測定用パターン11を認識する際にCCD撮像素子が受光する光やレーザー光の反射光を、重ね合わせ精度測定用パターン11の中心に対して対称になるようにすることができる。そのため、重ね合わせ精度の測定誤差を小さくし、測定精度を高精度化することができる。したがって、上層膜15上に形成されるレジストパターンなどの重ね合わせを高精度に行うことができるので、半導体装置の製造における歩留まりの向上を図ることができる。

【0041】以上、この発明の一実施形態について具体的に説明したが、この発明は、上述の一実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0042】例えば、上述の実施形態において挙げた数値、材料はあくまでも例に過ぎず、必要に応じてこれと異なる数値、材料を用いてもよい。

【0043】また、例えば上述の一実施形態においては、ラインパターン12をパターンニングされたA1膜からなる残しパターンとし、ラインパターン13をフォトリソからなる残しパターンとしたが、図4に示すように、ラインパターン12をA1膜からなる残しパターンとし、ラインパターン13をフォトリソ16の除去された部分からなる抜きパターンとしてもよい。また、図5に示すように、ラインパターン12をA1膜17の除去された部分からなる抜きパターンとし、ラインパターン13をフォトリソの除去された部分からなる抜きパターンとしてもよい。

8

【0044】また、例えば上述の一実施形態における図3Aに示す形状以外にも、図6に示すように、正方形のボックスパターン21の内側に、ボックスパターン21と相似の正方形の、各辺に沿って複数のラインパターン22が配置された形状にしてもよい。

【0045】

【発明の効果】以上説明したように、この発明によれば、第1のパターンからなる重ね合わせ精度測定用パターンを、第1のパターン上の膜のカバレッジが重ね合わせ精度測定用パターンの中心に対して対称になるような形状にしていることにより、重ね合わせ精度の測定を高精度化することができ、膜上にパターンを高精度に重ね合わせることができ、半導体装置の製造歩留まりの向上を図ることができる。

【図面の簡単な説明】

【図1】この発明の一実施形態によるアライメント確認用マークのレイアウトを示すレチクルの平面図である。

【図2】この発明の一実施形態によるレチクル上のアライメント確認用マークを示す平面図である。

【図3】この発明の一実施形態による半導体基板上の重ね合わせ精度測定用パターンを示す平面図および断面図である。

【図4】この発明の一実施形態による半導体基板上の重ね合わせ精度測定用パターンの他の例を示す断面図である。

【図5】この発明の一実施形態による半導体基板上の重ね合わせ精度測定用パターンの他の例を示す断面図である。

【図6】この発明の質実施形態による重ね合わせ精度測定用パターンの他の例を示す平面図である。

【図7】従来のアライメント確認用マークのレイアウトを示すレチクルの平面図である。

【図8】従来のレチクルに設けられたアライメント確認用マークを示す平面図である。

【図9】従来の半導体基板上の重ね合わせ精度測定用パターンを示す平面図および断面図である。

【図10】従来の半導体基板上の重ね合わせ精度測定用パターンの他の例を示す断面図である。

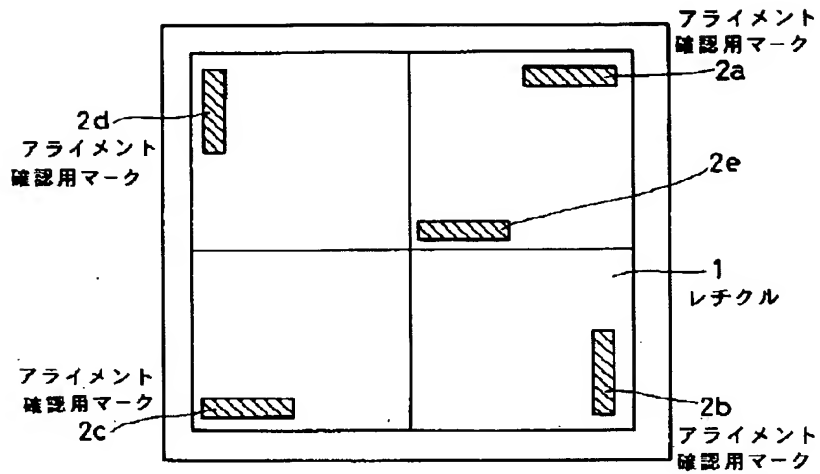
【図11】従来の半導体基板上の重ね合わせ精度測定用パターンの他の例を示す断面図である。

【図12】従来の半導体基板上の重ね合わせ精度測定用パターンの他の例を示す断面図である。

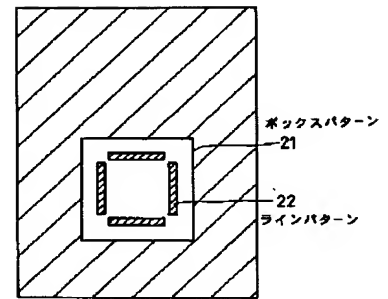
【符号の説明】

1・・・レチクル、2a～2d・・・アライメント確認用マーク、3、11・・・重ね合わせ精度測定用パターン、4、12、13・・・ラインパターン、15・・・上層膜

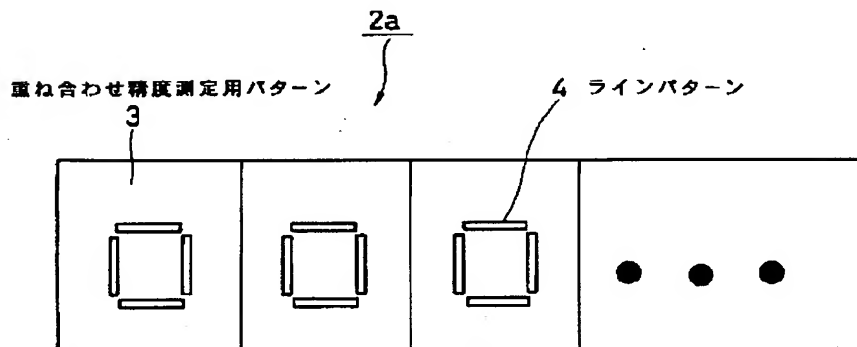
【図1】



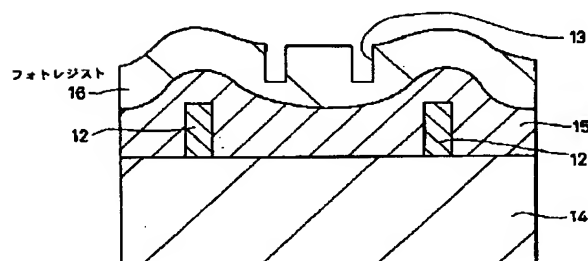
【図6】



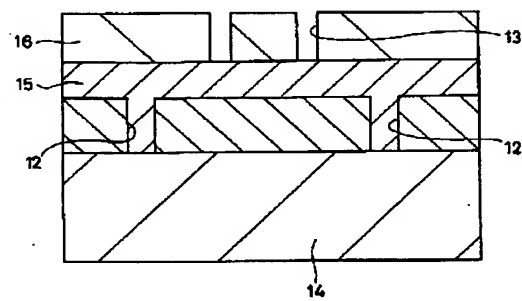
【図2】



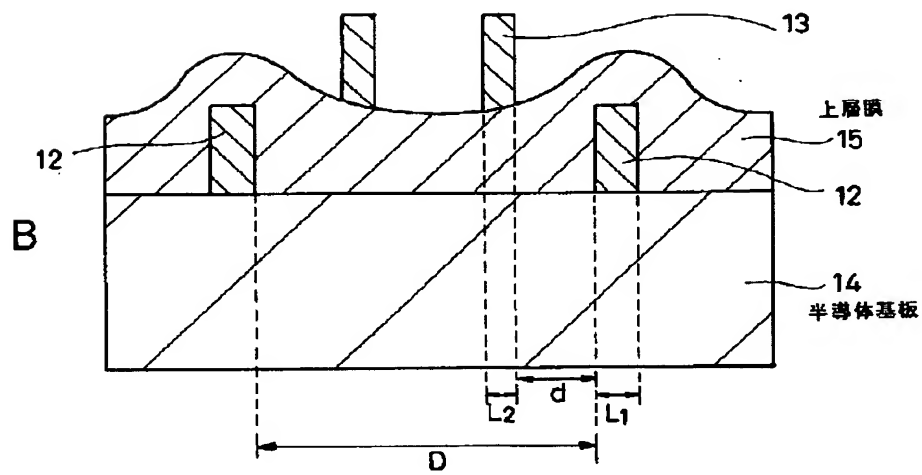
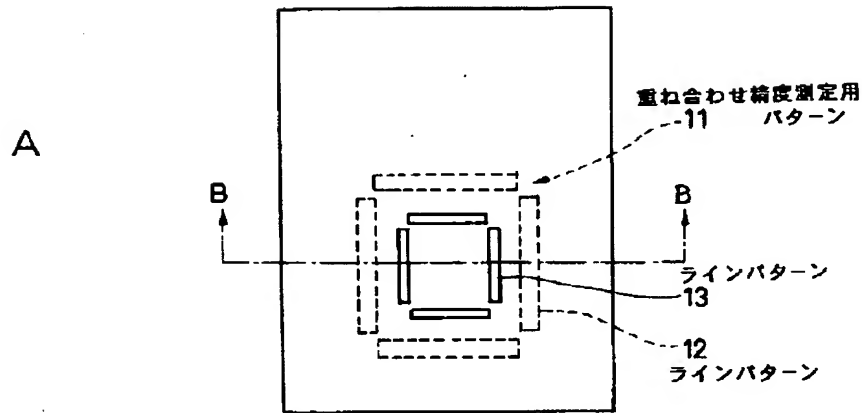
【図4】



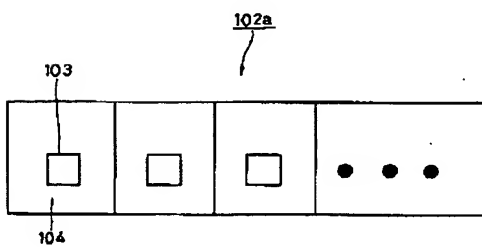
【図5】



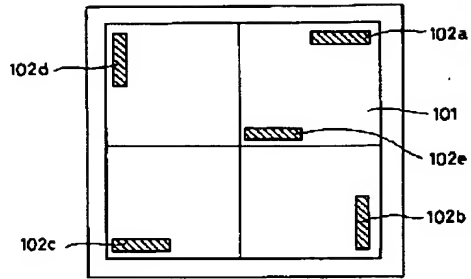
【図3】



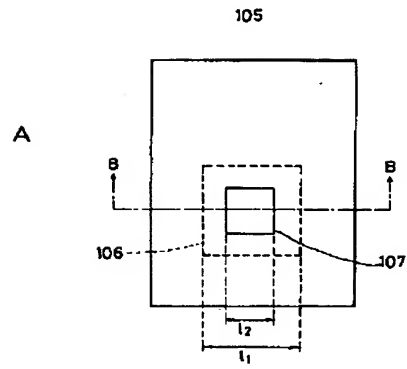
【図8】



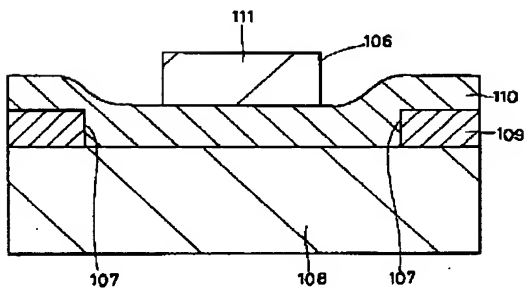
【図 7】



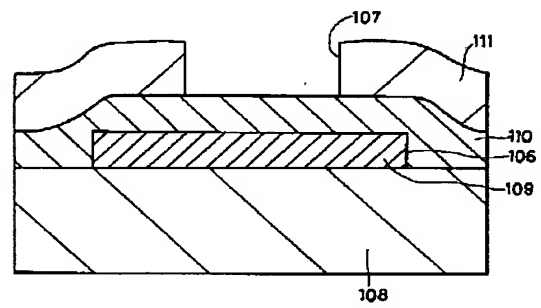
【図 9】



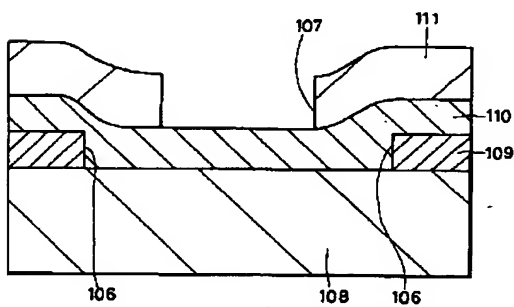
【図 10】



【図 11】



【図 12】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I
H O 1 L 21/30

テ-マコ-ト* (参考)

5 2 2 Z

1. Japanese Patent Application Laid-Open No. 2000-133572

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] The alignment mark top formed on the silicon substrate is scanned with an electron ray. It asks for the location of an alignment mark with the signal which detected the reflection electron signal or secondary electron signal from said alignment mark, and was detected according to said process, and is based on a mark location. With an electron ray in the pattern formation approach by the electron beam lithography which newly prepares a predetermined pattern Acceleration voltage of an electron ray is set to 45kV or more. An atomic number to said alignment mark The atom more than titanium (Ti), Or the pattern formation approach characterized by using two kinds in silicon (Si), silicon oxide (SiO₂), carbon (C), boron nitride (BN), and gallium arsenide (GaAs), and setting the level difference of the maximum upper layer to 0.3 micrometers or less.

[Claim 2] The pattern formation approach that the atomic number used for said alignment mark is characterized by including at least one of copper (Cu), a tungsten (W), and the platinum (Pt) as an atom more than titanium in the pattern formation approach according to claim 1.

[Claim 3] The pattern formation approach characterized by detecting the detecting signal of an alignment mark by changing the thickness of said alignment mark section and the non-marking section in the pattern formation approach according to claim 1 or 2.

[Claim 4] either of claims 1-3 -- matter which is different in the upper part of said alignment mark, or the perimeter of a mark in the pattern formation approach of a publication -- a wrap -- the pattern formation approach characterized by things.

[Claim 5] Claims 1-4 are the pattern formation approaches characterized by said alignment mark consisting of a thin line 0.3 micrometers or less in the pattern formation approach of a publication either.

[Claim 6] Claims 1-5 are the pattern formation approaches characterized by going over said alignment mark more than two-layer, and performing mark detection in the pattern

formation approach of a publication using the same mark either.

[Claim 7] Claims 1-6 are the semiconductor devices formed using the pattern formation approach of a publication either.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the approach of starting a lithography process, especially forming a pattern on a wafer or a mask, using an alignment mark.

[0002]

[Description of the Prior Art] With an electron-beam-lithography technique, drawing another new pattern is performed according to the pattern already formed on the sample. Such doubling drawing between layers detects the location of the alignment mark beforehand formed on the sample, and is realized by drawing a new pattern on the basis of the location. The detection approach of the alignment mark in doubling drawing between each class is explained using drawing 2 .

[0003] An example of the planar structure of an alignment mark is shown in drawing 2 (a). The alignment mark 201 shown by drawing 2 (a) is a ** type configuration. The alignment mark location of x directions scans an electron ray in the direction of an arrow head 202, and the location of the direction of y is called for by scanning an electron ray in the direction of an arrow head 203.

[0004] This drawing (b) shows the alignment mark cross-section structure and the signal detection approach in an electron ray scanning direction. The slot 205 is formed in the silicon substrate 204. If an alignment mark top is made to scan, a secondary electron or a reflection electron 207 will come out of an electron ray 206 to a substrate front face. A detector 208 detects this electron and it is asking for the location of an alignment mark.

[0005] This drawing (c) shows the relation between the scan location of the electron ray in this drawing (b), and detection signal strength. Corresponding to a slot 205, the wave of a detecting signal changes to a detecting signal 209. If slice level 210 is set up to this signal, the location and the detecting point A211 that the detected signal and slice level cross, the detecting point B212, the detecting point C213, and the detecting point D214 will be set up corresponding to the edge of the slot on the alignment mark. Then, the central point A215 of the detecting points A and B and the central point B216 of the detecting points C and D are obtained, and the alignment mark central point 217 can be further obtained by the central point A and B.

[0006] In doubling drawing between layers accompanied by this alignment mark detection, as shown in this drawing (d), the alignment marks 219, 220, 221, and 222

arranged around a chip 218 were detected, rotation of gain and the polarization direction, the shift of a drawing location, etc. were amended from that result, and highly precise doubling drawing between layers is realized.

[0007]

[Problem(s) to be Solved by the Invention] However, although multilayer-interconnection-ization of wiring is performed with high integration of LSI, when advancing multilayering of wiring, reduction of a level difference has been a big technical problem. When a level difference is large, the thickness of a resist becomes thick partially, consequently the so-called aspect ratio increases partially in the pattern height to a processing dimension. Consequently, the problem that a pattern fell arose. as the cure, the device structure itself is designed so that a level difference may decrease -- or examination of a high surface smoothness insulator layer and chemical machinery polish (it omits Chemical mechanical polishing and Following CMP) -- improvement in surface smoothness is considered by law.

[0008] The above flattening is advantageous for reduction of the failure by the substrate, formation of a detailed pattern, etc. However, the problem to which it becomes difficult to perform alignment between each class according to a flattening process has arisen.

[0009] For example, the level difference of an alignment mark 301 also decreases by carrying out flattening of the substrate like drawing 3 (a). Consequently, since sufficient detecting signal was not obtained, gain was made high, but a noise was not able to become large and, as for the mark signal 302, sufficient detection precision was not able to be acquired as shown in drawing 3 (b). Or since a CMP process ground a substrate front face, deformation of a mark might produce it into the surface part of an alignment mark 303, as shown in drawing 3 (c). In that case, ***** was produced to the mark signal 304 at the time of alignment mark detection, and the fall of doubling precision and the problem that the doubling drawing between layers itself could not be performed further arose as shown in drawing 3 (d).

[0010] As the cure, the front face of a mark is made into flat structure, and the approach using heavy metal as a mark member is opened to JP,9-246155,A. However, it is difficult not to describe the formation approach of a mark in detail, but to acquire sufficient mark signal. Moreover, when heavy metal is used as a mark at the time of processing of a gate layer, it is difficult to make a device property fall remarkably by heavy metal pollution, and to use a heavy-metal mark like said conventional example.

[0011]

[Means for Solving the Problem] This invention is characterized by for acceleration

voltage using two kinds in the heavy-metal atom of the atomic number more than Ti or silicon (Si), silicon oxide (SiO_2), carbon (C), boron nitride (BN), and gallium arsenide (GaAs) for said alignment mark in the process which performs doubling drawing between layers which used the alignment mark with the electron ray 45kV or more, and for a level difference not arising in the maximum upper layer, or carrying out flattening so that a level difference may be made small. Thus, it becomes possible by using the heavy metal of the atomic number more than Ti for an alignment mark part to acquire sufficient alignment mark signal.

[0012] Furthermore, since 10 micrometers or more of electron rays reach from a probe index when the acceleration voltage of an electron ray is 45kV or more, even if an about several micrometers layer [several layers] is formed in the upper layer of an alignment mark by using heavy metal for a mark, detection of an alignment mark signal is enough attained. When heavy metal is used as a mark and we are anxious about getting worse a device property, by forming the mark section and the non-marking section according to two kinds in silicon, silicon oxide, carbon, and boron nitride, there is no heavy metal contamination and it becomes possible to acquire sufficient mark signal similarly. Moreover, since the attainment depth of an electron ray becomes small as compared with silicon, silicon oxide, carbon, and boron nitride in the case of compound semiconductors, such as a gallium arsenide substrate, etc., sufficient mark signal is acquired with one combination of gallium arsenide, silicon, silicon oxide and carbon, and boron nitride.

[0013]

[Embodiment of the Invention] (Example 1) The process which prepares beforehand the alignment mark which consists of a member by heavy metal in drawing 1, and performs pattern formation to it is explained.

[0014] first, a silicon substrate 101 top -- CVD (Chemical Vapor Deposition) -- the silicon nitride (Si_3N_4) film 102 was formed by law. Moreover rotation spreading of chemistry multiplier system positive-resist RE-5000P by Hitachi Chemical Co., Ltd. was carried out at the thickness of 0.4 micrometers, and heat treatment was used as the deed resist layer for 120 degrees C and 2 minutes. Furthermore, after irradiating an electron ray with an acceleration voltage of 50kV alternatively according to a mark configuration predetermined in the amount of electron beam irradiation of 12microC/cm², the resist pattern 103 was formed for 110 degrees C and 2 minutes by performing the development according a heat treatment process to immersion in 2.38% water solution of tetramethylammonium hydroxide for 1 minute (a). In addition, although the pattern was formed by the electron-beam-lithography method in this example, you may form using the optical exposing methods, such as an excimer laser.

[0015] Next, after performing the dry etching process by having used the resist

pattern 103 as the mask and performing resist removal, the tungsten film 104 was formed by the sputter (b). After performing CMP after that and making a front face flat, the surface layer of a tungsten was etched with hydrogen peroxide solution, and the alignment mark 105 of heavy metal was formed.

[0016] Furthermore, the silicon oxide film was formed with the CVD method, flattening was carried out by CMP and the protective coat 106 was formed (c). Here, when a protective coat 106 is not formed but the alignment mark by heavy metal is exposed to a front face, it may become poor in a heat treatment process or a subsequent process. Or in order to remove the heavy metal on the front face of a substrate after forming an alignment mark 105, the washing process was performed, but after the alignment mark 105 had been exposed, when it was washed, the mark might not also no longer be etched. By forming a protective coat 106 like this example, sufficient washing process becomes possible and it becomes possible to reduce the problem of heavy metal contamination.

[0017] Future processes show the production process of the isolation for parasitism resistance reduction of a semiconductor device. First, it was heat-treated by having carried out rotation spreading of Hitachi Chemical P [RE-5000] at the thickness of 0.4 micrometers, and 120 degrees C of resist layers were formed for 2 minutes.

[0018] At the time of the electron beam lithography of degree process, using the electron ray with an acceleration voltage of 50kV, the alignment mark 105 was detected, and the location between two-layer was adjusted and it was irradiated alternatively with the detected alignment mark location according to the configuration of the pattern for isolation in the amount of electron beam irradiation of 12microC/cm². And by performing 110 degrees C of heat treatment processes for 2 minutes, making them further immersed in 2.38% water solution of tetramethylammonium hydroxide for 1 minute, and performing a development, the resist pattern 107 was formed and the slot 108 for isolation was formed according to the dry etching process after that (d). After performing resist removal, the silicon oxide film 109 was formed using the CVD method (e).

[0019] Next, the flattening process by CMP was performed. At this time, as compared with the silicon oxide film 109 by SOG, since the polish rate in CMP is slow, a silicon nitride film 102 works as a stopper layer at the time of being polished. After performing CMP, the silicon nitride film 102 was removed and isolation 110 was formed (f). After forming the silicon oxide film 111 by the post heating oxidation, the resist pattern 112 was formed, (g) and its resist film was used as the mask, ion implantation was performed, and the well layer 113 was formed (h). The predetermined pattern was formed by detecting the location of an alignment mark 105 also in the case of formation of this resist pattern 112. The usual semi-conductor production process was used in subsequent processes.

[0020] Since according to the conventional approach a level difference was lost according to a flattening process or it became small, alignment mark detection is difficult and highly precise alignment was not made. However, sufficient alignment mark detection was attained by using the matter with a high reflection factor for a mark like this example. As a high mark ingredient of this reflection factor, the atom more than titanium had the effective atomic number, and copper and platinum were effective also for a tungsten like especially this example, and others.

[0021] Furthermore, it became possible by forming a protective coat on a mark to reduce the problem of metal contamination. Furthermore, even if the several micrometers alignment mark formed by this example is formed in the upper layer, since it is detectable, it can be used as an alignment mark over several layers.

[0022] (Example 2) This example explains an example at the time of applying this invention to the wiring process of CMOS IC using drawing 4 .

[0023] The sectional view before the wiring process of CMOS IC is shown in this drawing (a). Next, after forming silicon oxide 412, it formed so that a substrate front face might become flat by performing CMP, and the resist pattern 413 was formed further, and it etched by making it into a mask (b). Then, after forming the titanium nitride film as a barrier layer 414, copper was formed on the titanium nitride film, CMP performed flattening and copper was formed as a metal membrane 415 (c). The barrier layer 414 reduces that the copper of a metal membrane 415 is spread in the case of heat treatment. The alignment mark 416 was formed according to the above process.

[0024] Furthermore, after forming the barrier layer 417 on a metal membrane 415, with the electron ray with an acceleration voltage of 70kV, the alignment mark 416 using the difference of copper thickness performed alignment, and the resist pattern 418 was formed (d). The wiring layer 419 was formed according to the dry etching process after that, silicon oxide was further formed by CVD, and silicon oxide 420 was formed by performing CMP (e). The formation of CMOS IC of subsequent processes is attained by using the usual semi-conductor production process.

[0025] Like this example, by surrounding the alignment mark 416 by the metal in the barrier layers 414 and 417, it becomes possible to reduce metal diffusion and improvement in the yield is attained at the time of heat treatment. Moreover, since the increment in the routing counter for alignment mark formation is lost by forming the process of a wiring layer, and a mark in coincidence like this example, reduction of a production cost is possible.

[0026] In this example, the difference in copper thickness detected the above-mentioned alignment mark 416, and it drew based on the value of the detected

alignment mark location. When the lithography by light is used, the maximum front face is a metal membrane, and an alignment mark 416 cannot perform detection of an alignment mark by having carried out flattening. However, if an electron ray with high acceleration voltage of 45kV or more like this example was used, since it would reach not only from the information on surface irregularity but a front face to several micrometers, alignment mark detection was attained. Consequently, it became possible not to cause the increment in a routing counter and to reduce a production cost as a result for an alignment mark, since it is not necessary to give a large level difference.

[0027] (Example 3) This example explains an example at the time of applying this invention to formation of a component demarcation membrane using drawing 5 .

[0028] The resist pattern 503 was formed on the silicon substrate 501 and the silicon nitride film 502 (a). Next, after using the resist pattern 503 as the mask and performing dry etching, the alignment mark 504 was formed by forming silicon oxide and performing flattening by CMP further (b). Furthermore, with the electron ray with an acceleration voltage of 50kV, the alignment mark 504 performed alignment and the resist pattern 505 was formed (c).

[0029] The ingredient of the mark section and its perimeter was used as silicon and silicon oxide in this example. When metal contamination may become a problem, it becomes possible like this example to abolish the problem of metal contamination by using a light element as a mark member. Moreover, when inquired as a mark member, it was possible to have detected sufficient mark signal to the mark section and its periphery with any two kinds of combination of silicon, silicon oxide, carbon, boron nitride, and gallium arsenide.

[0030] Then, silicon oxide 506 was formed and the component demarcation membrane 507 was formed by (d) and CMP (e). Silicon oxide 508 was formed by thermal oxidation after removing a silicon nitride film 502, the alignment mark 504 was used further again, by detecting a mark location, the resist pattern 509 was formed in the predetermined field, it was made into the mask, ion implantation was performed, and the above-mentioned resist pattern 509 was removed after (f) in which the well layer 510 was formed (g).

[0031] When the usual semi-conductor production process was used for subsequent processes, it became possible to manufacture a semiconductor device.

[0032] In this example, heavy metal is not used in process. Therefore, as compared with the case where heavy metal is used as an alignment mark, it became possible to reduce the problem of heavy metal contamination sharply. It was effective especially when it was the result, especially the product with which the high engine performance is called for like the high speed processor for mainframes.

[0033] (Example 4) This example explains an example at the time of applying this

invention to the formation process of a component demarcation membrane using drawing 6 .

[0034] The resist pattern 603 was formed on the silicon substrate 601 and the silicon nitride film 602 (a). Then, the resist pattern was used as the mask, dry etching was performed, and the silicon oxide film 604 was formed after that (b). Furthermore, the alignment mark 605 and the component demarcation membrane 606 were formed by performing CMP (c). In this example, many alignment marks 605 were formed by the rill of a book.

[0035] When producing the component demarcation membrane 606 and an alignment mark 605 to coincidence like this example, the thickness of the component demarcation membrane 606 and an alignment mark 605 becomes the same. Consequently, when the thickness of the component demarcation membrane 606 is thin, the thickness of an alignment mark 605 also becomes thin at coincidence. When it followed, for example, the thickness of an alignment mark 605 was set to 0.3 micrometers or less, a mark signal was not able to become small and sufficient signal was not able to be acquired.

[0036] Moreover, in the mark by the slot where a dimension is big, at the time of CMP, the amount of polishes in a slot center section might become large, and, as a result, the crater might be generated in the center section. Therefore, when flattening was carried out completely and there was no crater, even if there was thickness which can take sufficient mark signal, when a crater was generated, sufficient mark signal might be unable to be taken. In that case, it became possible by considering as the alignment mark 605 by the slot of an a large number book like this example to decrease the crater of the mark section by being able to enlarge a detecting signal as the whole mark, and making it a component demarcation membrane and the slot where equivalent extent is thin.

[0037] Next, by thermal oxidation, by applying the resist film after forming the silicon oxide film 607, and detecting an alignment mark 605 with an electron ray with an acceleration voltage of 50kV further, electron beam lithography was performed to the position and the resist pattern 608 was formed. Furthermore, the well layer 609 was formed by ion implantation, and the above-mentioned resist pattern 608 was removed after (d) ** (e).

[0038] By using the manufacture approach of the usual semiconductor device, subsequent processes became possible [manufacturing a semiconductor device].

[0039] (Example 5) This example explains an example at the time of applying this invention to the multilayer-interconnection process of DRAM using drawing 7 .

[0040] The sectional view before the wiring process of DRAM is shown in drawing 7 (a). here -- 701 of drawing -- a silicon substrate and 702 -- n well and 703 -- p well and 704 -- p+ diffusion layer and 705 -- n+ diffusion layer and 706 -- for isolation and 709, as for the polycrystalline silicon film and 711, silicon oxide and 710 are [p-diffusion layer and 707 /

n-diffusion layer and 708 / the polycrystalline silicon film and 712] silicon oxide.

[0041] Next, the tungsten was formed as a metal membrane 713 with the CVD method after forming silicon oxide 712 (b). Next, the alignment mark 714 was formed in the edge part of silicon oxide by performing dry etching (c). Here, thickness of a tungsten needed to be thickened when a tungsten was embedded altogether in the slot for alignment marks. However, since a substrate may have broken by stress, thickness of a tungsten was not able to be made not much thick. Then, it became possible like this example to reduce a level difference by using the level difference part of silicon oxide.

[0042] Next, the resist pattern 716 was formed by forming silicon oxide 715, and an electron ray's detecting an alignment mark 714 after resist spreading using electron-beam-lithography equipment with an acceleration voltage of 50kV, and carrying out electron beam lithography to a position (d). After performing dry etching furthermore, and attaching a metal membrane with a CVD method, the wiring layer 717 was formed by performing CMP (e). It became possible similarly repeatedly by detecting an alignment mark 714 to form a multilayer interconnection in a high doubling precision after that (f).

[0043] (Example 6) An example at the time of next applying this invention to formation of the wiring layer of CMOS IC is explained using drawing 8 R> 8 seen from the substrate top face.

[0044] The gate 802, isolation 803, contact 804, and the embedding mold alignment mark 805 were formed. The alignment mark 805 was produced to coincidence, when forming contact 804. Here, as for the substrate front face, flattening is performed by the CMP process. Next, the multilevel-metal film 806 which consists of laminating metal of titanium nitride (TiN), aluminum (aluminum), and a tungsten (W) was formed, and the resist film 801 was formed further (a).

[0045] Next, the resist pattern 807 was formed by detecting an alignment mark 805, and carrying out electron beam lithography with the detected alignment mark location, according to a predetermined configuration, after adjusting the location between two-layer (b). Here, although the formed resist pattern 807 drew in accordance with the pattern of contact 804, that an alignment gap seems to be generated somewhat, the doubling error was set up beforehand and it formed it.

[0046] Next, the resist pattern 807 was used as the mask, dry etching was performed, and, as a result, the circuit pattern 808 was formed (c).

[0047] Although attenuation of a mark signal arose and highly precise alignment was difficult by performing a flattening process in a conventional method, it became possible by being able to perform highly precise detection, consequently making doubling error tolerance small by the approach of this example, to make a chip small.

[0048]

[Effect of the Invention] According to this invention, there is no surface level difference, or even when very small, the detecting signal of an alignment mark is fully obtained and high alignment precision between detailed patterns can be realized at the lithography process in manufacture of semiconductor integrated circuit equipment etc.

[Brief Description of the Drawings]

[Drawing 1] The sectional view showing the pattern formation process using the 1st example of this invention.

[Drawing 2] The explanatory view showing the conventional approach.

[Drawing 3] The explanatory view showing the trouble by the conventional approach.

[Drawing 4] The sectional view showing the pattern formation process using the 2nd example of this invention.

[Drawing 5] The sectional view showing the pattern formation process using the 3rd example of this invention.

[Drawing 6] The sectional view showing the pattern formation process using the 4th example of this invention.

[Drawing 7] The sectional view showing the pattern formation process using the 5th example of this invention.

[Drawing 8] The top view showing the pattern formation process using the 6th example of this invention.

[Description of Notations]

101 -- A silicon substrate, 102 -- A silicon nitride film, 103 -- Resist pattern, 104 -- The tungsten film, 105 -- An alignment mark, 106 -- Protective coat, 107 -- A resist pattern, 108 -- A slot, 109 -- Silicon oxide film, 110 -- Isolation, 111 -- The silicon oxide film, 112 -- Resist pattern, 113 -- A well layer, 201 -- An alignment mark, 202 -- Scanning direction, 203 [-- Electron ray,] -- A scanning direction, 204 -- A silicon substrate, 205 -- A slot, 206 207 -- A reflection electron or a secondary electron, 208 -- A detector, 209 -- Detecting signal, 210 [-- The detecting point C] -- Slice level, 211 -- The detecting point A, 212 -- The detecting point B, 213 214 [-- Mark central point,] -- The detecting point D, 215 -- The central point A, 216 -- The central point B, 217 218 -- A chip, 219,220,221,222 -- Alignment mark, 301,303 -- An alignment mark, 302,304 -- Mark signal, 401 [-- p+ diffusion layer,] -- A silicon substrate, 402 -- n well, 403 -- p well, 404 405 [-- Isolation,] -- n+ diffusion layer, 406 -- p-diffusion layer, 407 -- n-diffusion layer, 408 409 -- Silicon oxide, 410 -- The polycrystalline silicon film, 411 -- Polycrystalline silicon film, 412 -- Silicon oxide, 413 -- A resist pattern, 414 -- Barrier layer, 415 -- A metal membrane, 416 -- Alignment mark 417 -- A barrier layer, 418 -- Resist pattern, 419 -- A wiring layer, 420 -- Silicon oxide, 501 -- Silicon substrate, 502 -- A silicon nitride film,

503 -- A resist pattern, 504 -- Alignment mark, 505 -- A resist pattern, 506 -- Silicon oxide, 507 -- Component demarcation membrane, 508 -- Silicon oxide, 509 -- A resist pattern, 510 -- Well layer, 601 -- A silicon substrate, 602 -- A silicon nitride film, 603 -- Resist pattern, 604 -- The silicon oxide film, 605 -- An alignment mark, 606 -- Component demarcation membrane, 607 -- The silicon oxide film, 608 -- A resist pattern, 609 -- Well layer, 701 [-- p+ diffusion layer,] -- A silicon substrate, 702 -- n well, 703 -- p well, 704 705 [-- Isolation,] -- n+ diffusion layer, 706 -- p-diffusion layer, 707 -- n-diffusion layer, 708 709 -- Silicon oxide, 710 -- The polycrystalline silicon film, 711 -- Polycrystalline silicon film, 712 -- Silicon oxide, 713 -- A metal membrane, 714 -- Alignment mark, 715 [-- A resist pattern, 802 / -- The gate, 803 / -- Isolation, 804 / -- Contact, 805 / -- An alignment mark, 806 / -- The multilevel-metal film, 807 / -- A resist pattern, 808 / -- Wiring layer.] -- Silicon oxide, 716 -- A resist pattern, 717 -- A wiring layer, 801